

# 吴思航

sihangwu@126.com | (+86) 182-7023-0128 | 生日: 2001.03.14



## 教育背景

慕尼黑工业大学(QS 22)	电子与通信工程	德国   硕士	2023.10-2026.04
<ul style="list-style-type: none"><li>主修课程: 模拟和混合信号电路设计, 电路设计自动化, AD/DA 课程, AD/DA 实验, PLL 课程, PLL 实验, 电源管理集成电路, 电路测试等。GPA: 2.0/1.0</li></ul>			
杜伊斯堡-埃森大学	电子电气工程	德国   学士(双学位)	2020.10-2023.10
<ul style="list-style-type: none"><li>主修课程: 高级电路理论, 固态电子学, 数字系统的逻辑设计, 电子材料基础, 电气工程基础, 计算机工程基础, 控制工程, C/C++。GPA: 2.0/1.0</li></ul>			
郑州大学(211/双一流)	电子信息工程	中国   学士(双学位)	2018.09-2020.09
<ul style="list-style-type: none"><li>主修课程: 电路分析, 模拟电子技术, 模拟电子技术实验, 数字电路技术基础, 数字电路实验, 信号与系统, 电子设计自动化。GPA: 3.3/4.0</li></ul>			

## 实习经历

DLL 电路与版图设计研究型实习	慕尼黑工业大学   电路设计研究所	2025.02-2025.07
<ul style="list-style-type: none"><li>电路设计与版图实现: 基于 22 nm FDSOI 工艺完成 DLL 全流程设计, 涵盖采样信号生成、Sample and Hold 与 VCDL 等模块, 并通过倍频器实现 8 倍频和 4 GHz 输出; 独立完成了相应的多达 35 层金属堆叠的版图设计和后仿。</li><li>仿真与优化: 进行原理图级仿真与版图后仿对比分析, 覆盖工艺角、时序抖动、功耗与延迟等关键指标; 在 500 MHz 下实现 VCDL 单延迟单元的版图与原理图之间平均延迟差仅 0.8 ps 的高精度匹配。</li></ul>		
开发支持实习工程师	华为   欧洲云服务运营中心	2023.02-2023.08
<ul style="list-style-type: none"><li>工具链开发与系统自动化: 使用 Python 与 HTML 构建交互式网页应用, 实现批量下载分析与用户行为追踪功能, 使整体效率提升约 300%, 显著减少人工操作与处理时间; 并掌握版本控制 (Git) 与容器化部署 (Docker) 等大型项目协作流程。</li></ul>		

## 项目经历

高速 PLL 的 PVT 补偿	独立项目负责人   电路设计研究所	2025.09-2026.04
<ul style="list-style-type: none"><li>工艺和参数: 基于 22nm FDSOI 工艺, 工作电压 900mV, 输入频率 500MHz, 输出频率 5GHz, 实现 4 个极端 PVT Corner 下的锁定时间 &lt; 200ns, jitter &lt; 10fs 等指标。</li><li>电路设计与优化: 通过原理图 Spectral 仿真和 MATLAB 建模对 PLL 二阶系统进行稳定性分析和参数提取, 在 -40 °C 至 125 °C、SS 与 FF 条件下评估 Icp、Kvco 等关键参数变化; 设计反馈路径引入动态 Kvco 调节机制, 在不降低性能的情况下维持适当带宽, 实现 PLL 全范围锁定。</li></ul>		
SAR ADC 的设计与优化	项目负责人之一   电路设计研究所	2025.10-2026.02
<ul style="list-style-type: none"><li>工艺与参数: 基于 45nm GPDK 工艺, 工作电压 1.1V, 实现完成 10bit, 20MHz 的 SAR ADC 的设计。</li><li>电路设计与优化: 负责 Internal DAC 的设计, Bootstrap 采样开关, Strong Arm Latch 以及相应 Buffer 的设计。DAC 采用 Vcm-based 差分电容阵列的进行实现, 针对速度和噪音/失配对电容值进行精准设计。Strong Arm Latch 采用 PMOS 和 NMOS 双差分输入对, 从而实现 rail to rail 的输入。Buffer 采用 CMOS 反相器链结构, 增强驱动能力并保证逻辑电平稳定。</li></ul>		
锁相环(PLL)的设计与优化	项目负责人之一   电路设计研究所	2025.04-2025.08
<ul style="list-style-type: none"><li>工艺与参数: 基于 22 nm FDSOI 工艺, 工作电压 1V, 输入频率 500MHz, 输出频率 1.6GHz, 实现功耗 &lt; 5 mW、锁定时间 &lt; 1 <math>\mu</math>s, jitter 小于 2ps 等指标。</li><li>电路设计与优化: 使用 MATLAB 搭建 PLL 模型并进行动态仿真, 评估环路稳定性并提取关键设计参数; 将传统锁相环的 loop filter 控制通路改进为分离的比例通道与积分通道, 并进行相应压控振荡器 (current-starved VCO) 的设计; 通过在比例通道中引入交流互补耦合方案, 减少 MOS 管的寄生电容效应。改善了相位噪声性能, jitter 相比下降 30%。</li></ul>		
仪表放大器的设计与优化	独立项目负责人   电路设计研究所	2024.10-2025.02
<ul style="list-style-type: none"><li>工艺与参数: 基于 180 nm SMIC 工艺, 工作电压 3.3V, 负载电容 1ps, 实现增益 &gt; 70 dB、GBW <math>\approx</math> 10 MHz、输入失调电压 &lt; 100uV 等指标。</li></ul>		

- **电路设计与优化:** 搭建带米勒补偿与调零电阻的两级运放, 从而通过分裂极点和抵消零点来增加系统相位裕度, 提高稳定性。同时设计 PTAT 基准电路作为偏置源, 以改善运放在全温范围内 (-40°至 125°) 的性能稳定性。设计三运放两级仪表运算放大器架构, 匹配电阻完成带宽和增益要求, 通过 dc、ac、tran 和 noise 分析等仿验证低功耗与高 CMRR 设计目标。

## 基于 FPGA 的数字电路设计与优化

独立项目负责人 | 电路设计自动化研究所

2024.04-2024.08

- **算法实现与板上验证:** 使用 VHDL 和 Xilinx ISE 工具实现并仿真 IDEA 加密算法, 并在 Spartan-3E FPGA 板上部署测试。
- **资源优化与架构复用:** 通过控制单元与寄存器复用从而实现单个加密轮的多次重用, 并进一步将单个加密轮拆分为四个子步骤从而实现相同算术模块的多次重用; 该两次优化显著减少 FPGA 的资源占用。

## 技能与荣誉

- **语言技能:** 英语 (雅思 6.5, 熟练)、德语 (telc B2, 流畅)、日语 (入门)
- **专业技能:** **[电路设计]** 熟练使用 Cadence Virtuoso 进行模拟电路设计, 基于 Spectre 进行原理图级仿真与性能分析。  
**[版图设计]** 掌握 22 nm 工艺下的版图设计流程, 熟练使用 Calibre (DRC/LVS/PEX) 进行物理验证与后仿真。  
**[硬件描述]** 熟悉数字电路描述语言 VHDL, 具备 FPGA 设计与验证基础。  
**[科研与工程]** 熟练使用 MATLAB/Simulink 对复杂的电路模块建模, 进行系统级分析。  
**[编程]** Python, C/C++  
**[其他]** 熟练使用 LaTeX 撰写学术论文, 利用 MS Office 汇报和协作。
- **荣誉奖项:** 一等奖学金、二等奖学金、国家双千计划奖学金、社会实践先进个人、院三好学生